

## 半導体理工学研究センター (STARC<sup>1</sup>) - 設計技術力の強化と人材育成に取り組む -

半導体産業研究所が独創的人材の育成と確保が日本半導体の課題であると提言したことを受けて、1995年12月に(株)半導体理工学研究センター (STARC) が設立された。その後、2001年度から5年間の国家プロジェクト「あすかプロジェクト」が70nmSoC<sup>2</sup>技術の確立を目指してスタートし、その中ではSTARCは設計の技術開発を担うことになった。更に2002年7月には90nmノード製造プロセスの標準化のために(株)先端SoC基盤技術開発 (ASPLA) が設立されたこともあり、ここではSTARCはライブラリ開発とシステムLSIのテクノロジー・プラットフォームを提供した。ASPLAが2005年9月に会社を解散した後はLSIの試作シャトル・サービス「スターシャトル」の受付窓口を引き継ぎ、2006年度から「あすかプロジェクト」が始まり、STARCは引き続き設計基盤技術力強化と人材育成に取り組んでいる。

### 1. 設立に至る経緯

株式会社 半導体理工学研究センター (以下、STARC (Semiconductor Technology Academic Research Center) <スターク> と称する) の設立に至るまでの経緯を「半導体産業研究所 SIRIJ (Semiconductor Industry Research Institute Japan)」の上田潤氏の報告書「半導体共同活動の現状」<sup>3</sup>を基に紹介する。

1993年4月、日本電子機械工業会 (EIAJ: Electronic Industries Association of Japan) の中に1年間の時限で「半導体中期ビジョン委員会」(委員長: NEC 尾崎隆一氏) が設立された。この委員会が設立されたタイミングは、1988年に日本が世界の半導体マーケットシェアにおいて初めて50%を超えて米国を追い抜いた後、90年代に入って今度は米国に再逆転された、丁度その時期にあたる。

1980年代末に半導体シェアが日本に追い抜かれたことに危機感を持った米国では、米国半導体工業会 (SIA: Semiconductor Industry Association)、SEMATECH (Semiconductor Manufacturing Technology)<sup>4</sup>、SRC (Semiconductor Research Corporation)<sup>5</sup>などの工業会や業界横断的組織をフルに活用し、しかも半導体関係の国際協議の場においても長期的で具体的な取り組みを踏まえて日本に対抗するための戦略的対応を次々と打ち出してきた。一方、日本サイドでは短期的対応で精一杯の状況であり、長期的な対応は全く取れていなかった。

日本電子機械工業会の中に「半導体中期ビジョン委員会」が設立された1993年4月頃は、日本の産業全体が円高不況の危機的な状況にあり、半導体産業においても産業の空洞化、

雇用不安などが現実のものとなりつつあった。そこで、「半導体中期ビジョン委員会」としては日本の半導体産業の取り組みを何とかしなければならないという議論の中から、後に「半導体産業研究」と呼ばれる業界常設シンクタンクの設定を提案することとなる。

この「半導体中期ビジョン委員会」からの提案を受けた形で、1994年4月に任意団体として常設のシンクタンク「半導体産業研究所」(所長:NEC 佐々木元氏)が半導体メーカー10社(富士通、日立製作所、松下電器産業、三菱電機、NEC、沖電気工業、三洋電機、シャープ、ソニー、東芝)により設立されることになった。

この「半導体産業研究所」が最初に出した検討結果は、日本半導体の課題を3点取り上げてそれぞれの課題に対応する主体を明確にし、共同活動プロジェクトを設立して各課題を克服する手法であった。この検討結果を表にして示す。

#### 「半導体産業研究所」が取り上げた日本半導体の課題と取り組み<sup>6</sup>

課 題	対応主体	設立新会社	設立時期
(1)設計力(製品開発力)強化	企業自身		
(2)プロセスの先進性維持	企業間共同・産官プロジェクト	(株)Selete	96年2月
(3)独創的人材の育成と確保	産学共同研究推進組織	(株)STARC	95年12月

(上から重要度の高い順番に並んでいる)

「半導体産業研究所(SIRIJ)」は日本半導体産業の課題として3点を挙げたが、その最大の課題を「設計力(製品開発力)の強化」と位置づけた。但し、この課題に対してはそれぞれの企業自身に対応すべきものとして、共同活動として対応すべき領域とはみなさなかった。

2番目の課題として「プロセスの先進性維持」を挙げている。半導体プロセスの基礎技術と製造技術は今後とも日本に継続して残すべきであるとし、引き続き世界的にもイニシアティブを維持するための企業間共同・産官プロジェクトの設定を提案した。その活動主体として(株)半導体先端テクノロジーズ(Selete :Semiconductor Leading Edge Technologies, Inc.)が設立された。

3番目の「独創的人材の育成と確保」に関しては、日本の半導体産業にとって将来必要な研究テーマを産業界と大学が共同して研究を進めながら同時に人材の育成と確保を実現するための産学共同研究推進組織の設定を提案し、その活動主体として(株)半導体理工学研究センター(STARC)が設立された。

以上のような経緯を経て、半導体産業研究所(SIRIJ)を設立した半導体メーカー10社(富士通、日立製作所、松下電器産業、三菱電機、NEC、沖電気工業、三洋電機、シャープ、ソニー、東芝)が資本金1億円で1995年12月にSTARCを設立した。初代の代表取締役社長は平林

庄司氏(三菱電機)である。

その後、株主構成に一部変化があった。日立製作所と三菱電機の2社が出資を取り止めて代わりにルネサステクノロジが参加し、富士通は富士通マイクロエレクトロニクスに、NECはNECエレクトロニクスに、三洋電機は三洋半導体にそれぞれ入れ替わった。さらにロームとセイコーエプソンの2社が新たに参加し、その結果2008年7月末現在での株主会社構成は富士通マイクロエレクトロニクス、松下電器産業、NECエレクトロニクス、沖電気工業、ルネサステクノロジ、ローム、三洋半導体、セイコーエプソン、シャープ、ソニー、東芝の11社である。設立当初の資本金は1億円であったが、その後に増資されて現在は4億4千万円。代表取締役会長は中島俊雄氏(NECエレクトロニクス)で、元日立製作所の下東勝博氏が専任の代表取締役社長である。

STARCでは設立の目的として以下の2点を掲げている。

- (1)大学におけるシリコン研究の活性化とシリコン技術者育成の支援
- (2)産学共同による半導体産業の技術開発基盤の強化と独創的技術の創出

STARCは株主会社を含むクライアントから研究委託費を集めて、非競争領域のテーマを選んで大学と共同研究を行い、研究成果はクライアントに還元する方式をとっている。研究テーマの応募や選定などは株主会社の代表などで構成される評価ボードと企画評価委員会などが行う。1996年度より活動を開始し、1996年度の共同研究費として1億円、以降は毎年1億円ずつ増額し最大で4~5億円を見込んでいる。毎年の研究テーマ選択予定数は5~6件とし、研究費1,500~2,000万円/年で期間は3~5年という募集条件である。共同研究を通じて産業界と大学間の情報交換を密にするとともに、大学においてわが国の将来の半導体産業を担う人材の育成と輩出を促すことが最大の狙いである。

## 2. 設立の趣旨

STARCが設立されるまでの経緯について紹介してきたが、確認の意味を含めてSTARCの設立の趣旨を明確にしておく。

STARC設立の趣意書概要が2005年の「STARCシンポジウム」<sup>7</sup>において紹介された。

## STARC設立趣意書(概要)

(1995.10初版、1996.2改訂)

### 半導体産業の現状認識:

- ・ 今後20～30年間はわが国の基幹産業
- ・ 優れた技術先端性と競争環境が必要
- ・ 一方でシステム・ソフト面で弱点がある
- ・ 産業界と大学の有効な協力関係構築が必須

### 方針:

- ・ 基礎的・学術的分野を支えるべき大学の活性化
- ・ 民間企業が資金を出し、大学の研究を支援  
(産の実情を伝え、金も出すが口もだす)
- ・ 将来の若手技術者の育成

STARCのホームページ(「設立趣旨<sup>8)</sup>」)の中で、設立趣旨がもう少し詳しく述べられているので、概要を紹介する。

まず、技術の基礎は大学で行い、応用は産業界が担うのが基本的かつ健全な姿であるが、これまでは比較的相互に疎遠な関係であった。我が国の半導体産業が先端性と競争力を維持し技術を世界的に牽引するには、産業界と大学の有効な協力関係を構築することが必須である。そこで、日本の半導体関連民間企業の資金を募ってシリコン半導体技術の基礎分野についてしかるべき規模をもって、日本の大学への研究委託、あるいは大学との共同研究を遂行し、我が国の技術基盤の強化と先端競争力の維持を実現し、これにより我が国の産業社会へひいては国際的な産業社会へ貢献することが設立目的である。結果として、我が国の将来の半導体産業を担う若い研究者、技術者の輩出を促すとしている。

## 3. 役割の拡大と変遷

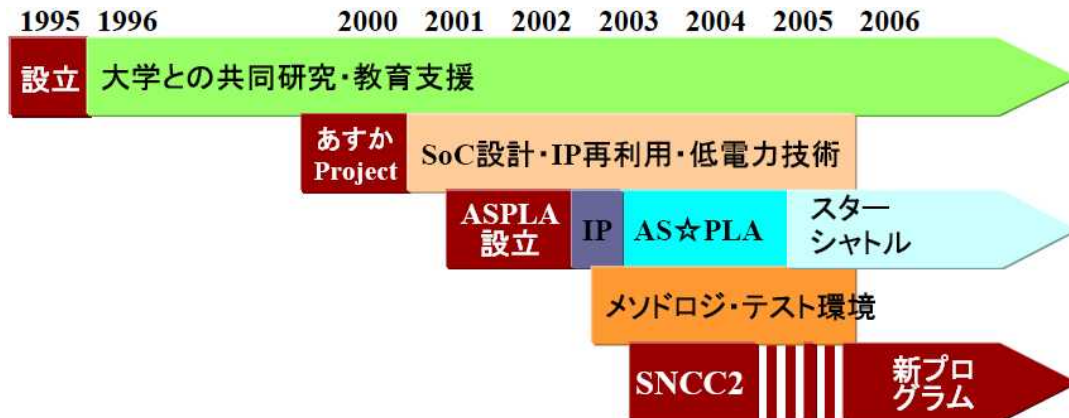
### 3.1 「あすかプロジェクト」が始まる

STARCの設立趣旨は既に述べたように大学との共同研究や教育支援であったが、その後のSTARCを取り巻く状況の変化によってSTARCの果たすべき役割がそれだけでは収まらなくなってきた。その皮切りが「あすかプロジェクト」<sup>9)</sup>である。我が国の半導体分野における重要な国家プロジェクトとして70nmのSoC技術の確立を目標にした「あすかプロジェクト」が2001年度から5年間の計画でスタートした。

この「あすかプロジェクト」では、デバイス・プロセス技術開発は(株)半導体先端テクノロジーズ(Selete)が担当するが、設計の技術開発はSTARCが担当することとなり、従来からの大学との共同研究や教育支援に加えてシステムLSI設計技術、IP(intellectual property)再利用技術、低電力設計技術等のシステムLSI設計技術開発を担当することとなる。

STARCは2003年7月に「あすかプロジェクト」の一部として次世代設計メソッド<sup>10</sup>の開発に着手し、2004年4月に次世代設計メソッドの第一弾として「STARCAD-21 V.1.0」を発表した。それ以降は半年毎にバージョンを上げたものを発表している。

「あすかプロジェクト」の設計関連部門を STARC が担うことになったことを契機として、STARC の役割も徐々に拡大されて行くことになり、STARC の役割が拡大、変遷していく様子が次の図に示されている。



STARC の役割変遷<sup>11</sup>

### 3.2 (株)先端SoC基盤技術開発(ASPLA)の設立

2002年7月、(社)電子情報技術産業協会(JEITA)の半導体幹部会メンバー企業11社(富士通、日立製作所、松下電器産業、三菱電機、NEC、東芝、沖電気工業、ローム、三洋電機、シャープ、ソニー)が90nmノードの半導体製造プロセスの標準化を目指して株式会社先端SoC基盤技術開発(略称ASPLA、以下ASPLAと称する)を設立したが、2005年9月に会社は解散した。このASPLAにSTARCは大幅に関係することになる。

ASPLA設立の目的はNEC相模原事業所の敷地内に90nmノードの300mmウエハ製造ラインを構築し、システムLSIに適した標準プロセスを開発し、デザイン・ルールの標準化を行い、その標準プロセスによるシステムLSIの試作検証を行うと共に、設計資産をIP(intellectual property)化して、一般ユーザーに対しても生産性の高い設計環境としてのシステムLSI開発プラットフォームを提供することであった。

STARCはASPLA設立の約1年前(2001年8月)に標準デザイン・ルールを発表していたが、この標準デザイン・ルールをベースにSTARCとASPLAは共同で90nmノード製造プロセスの標準化を行い、ライブラリ開発とそれらを使ったシステムLSI用のテクノロジー・プラットフォーム<sup>12</sup>の開発を目指した「ASPLAプロジェクト」を開始し、2004年7月に90nmシステムLSI用テクノロジー・プラットフォームを公開した。

ASPLAは90nmシステムLSI用テクノロジー・プラットフォームの成果を活用して、2003年10

月から試作シャトル・サービス<sup>13</sup>を開始したが、ASPLA が 2005 年 9 月に会社解散したことにより、それ以降の試作シャトル・サービスの運営窓口は STARC が引き継ぐことになった。

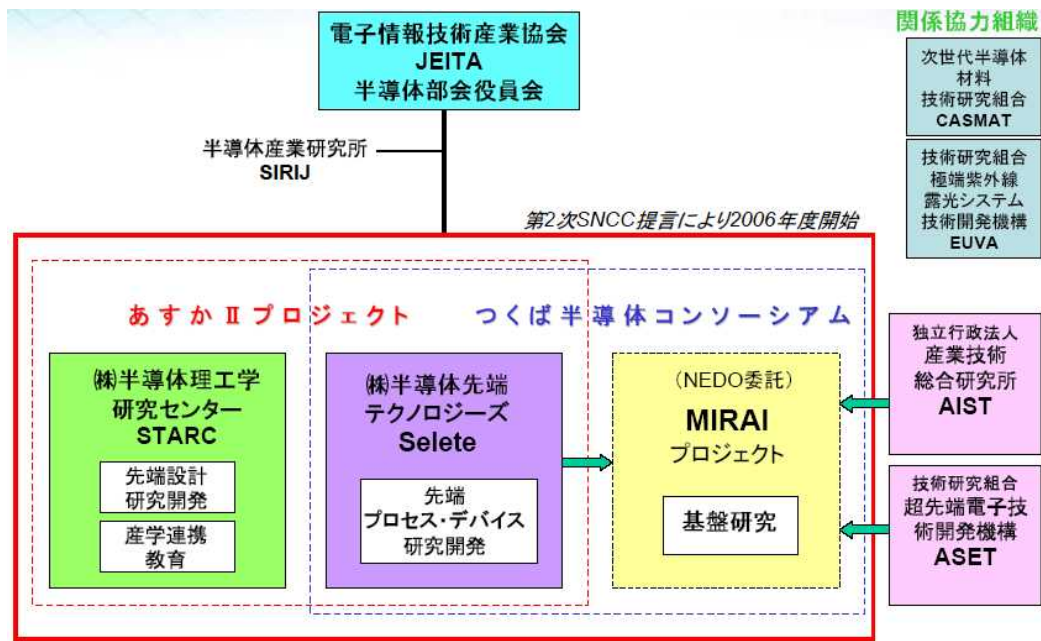
### 3.3 「あすか プロジェクト」へ

「あすかプロジェクト」が 2005 年度(2006 年 3 月)に終了した後を受けて、引き続きプロジェクトを継続すべきとの提案が(社)電子情報技術産業協会(JEITA)半導体部会と半導体産業研究所の第 2 次半導体新世紀委員会(SNCC)から「2006 年度開始の共同研究開発プロジェクト」として提案された。この提案に基づく新しいプロジェクト名を「あすか プロジェクト」と呼び、2006 年度(2006 年 4 月)からの 5 カ年(2011 年 3 月に終了)計画でこの新しいプロジェクトがスタートした。

この「あすか プロジェクト」の使命は以下の二つである。

- ・ 日本の半導体産業・技術の国際競争力の一層の発展を目指し、参加メンバー企業のニーズに先駆けた先行 R&D を推進することで、新技術の早期実用化に貢献する。
- ・ 半導体技術の継続的イノベーションを目指し、産業界・大学・公的研究機関等の連携を主導的に推進する。

「あすか プロジェクト」の体制は前の「あすかプロジェクト」と同様に、(社)電子情報技術産業協会(JEITA)半導体部会を頂点とし STARC と(株)半導体先端テクノロジーズ(Selete)とがそれぞれ設計技術とプロセス技術を分担する形となっている。ただ「あすか プロジェクト」が前の「あすかプロジェクト」と違っている点は、(株)半導体先端テクノロジーズ(Selete)が「あすかプロジェクト」と「つくば半導体コンソーシアム(TSC)」を跨ぐ形で両方のプロジェクトに関与している点である。「つくば半導体コンソーシアム(TSC)」では(株)半導体先端テクノロジーズ(Selete)が先端プロセス・デバイスの研究会を担当し、MIRAI プロジェクトが基盤研究を担当する。



「あすか プロジェクト」の体制<sup>14</sup>

「あすか プロジェクト」における STARC の使命は2つあって、以下の通りである。

- (1) 国内半導体企業の設計基盤技術力強化
- (2) 国内半導体業界の人材育成

最初の設計基盤技術力強化に関しては、半導体製品の競争力を高めるための共通的な設計技術を開発することである。特に日本が優位性を主張できるような設計メソッドおよび設計と製造との界面技術に重点を置き、さらに国内半導体企業との共同研究による新しい技術への挑戦である。

次の人材育成に関しては STARC 設立当初からの役割であり、大学との共同研究を通して人材交流を促進する。具体的には STARC の支援講座や協力講座を実施することによって大学の半導体教育を支援し、又 STARC アドバンス講座によって大学だけではなく企業における人材の育成も支援する。

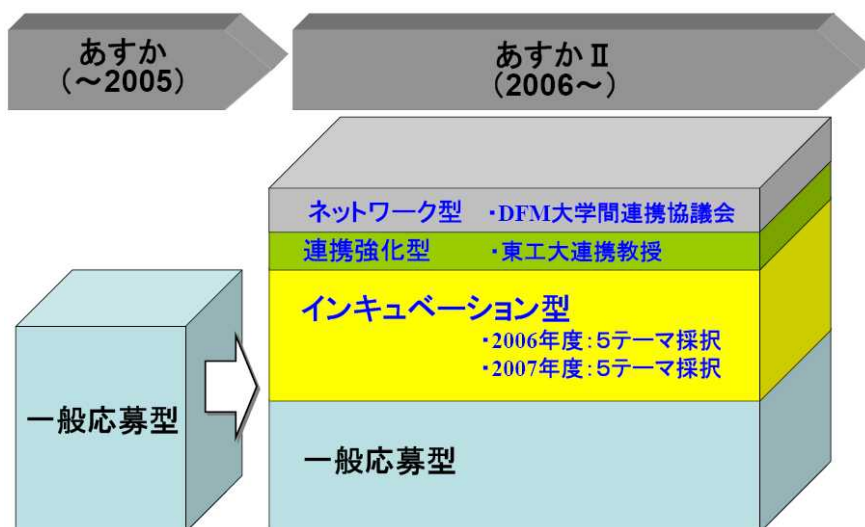
5年間の総費用は200億円で、STARCが実施する具体的なプログラムを表1に示す。

STARC が準備する各種プログラム(2006年度～)<sup>15</sup>

	テーマ	参加デバイス企業	目標
共通コアプログラム	産学共同研究と設計教育	11社	<ul style="list-style-type: none"> <li>大学共同研究件数を拡大</li> <li>各都道府県1大学以上の教育支援</li> </ul>
	標準化	11社	<ul style="list-style-type: none"> <li>IP再利用・論理設計検証・標準テスト環境等のガイドライン充実、標準MOSFETモデル整備</li> </ul>
先端コアプログラム(コアカンパニー)	プロセスフレンドリー設計技術	7社(富士通、松下電器、NEGEL、ルネサス、シャープ、ソニー、東芝)	<ul style="list-style-type: none"> <li>2008年 45nm (hp65nm) 世代、2011年 32nm (hp45nm) 世代のSoC設計メソッドを実用化、特に設計製造界面技術(DFM)に注力</li> </ul>
選択プログラム(有志企業)	高位設計	5社	<ul style="list-style-type: none"> <li>高位(トランザクションレベル)モデル記述からの設計メソッドを実用化</li> </ul>
	テスト・故障解析	7社	<ul style="list-style-type: none"> <li>45nm (hp65nm)、32nm (hp45nm) 世代のSoCテスト・故障診断技術を実用化</li> </ul>
	Mixed Signal	7社	<ul style="list-style-type: none"> <li>2009年 アナログMixed Signal SoCの開発期間を現状の40%に削減</li> </ul>
	IP育成支援	5社	<ul style="list-style-type: none"> <li>業界として90nm試作シャトルサービスを継続</li> </ul>

STARC は「あすか プロジェクト」において、大学との共同研究への取り組みも大幅に進展させる計画である。

従来からの大学のシーズに基づく一般応募型(大学からの提案応募型共同研究、大学のシーズを発掘・育成)だけではなく、ネットワーク型(関連する分野の研究者の連携)、連携強化型(連携教授制度などを活用して産業界の研究者が大学研究に参画したり、インターンシップ制度の充実)、インキュベーション型(インキュベーション期間を設けて目標ターゲットを絞り込み産業界のニーズを的確に反映)を追加して研究テーマ数の拡大を図るとともにスキームの多様化も図ろうとしている。



「あすか プロジェクト」での新しい大学共同研究の取り組み<sup>16</sup>

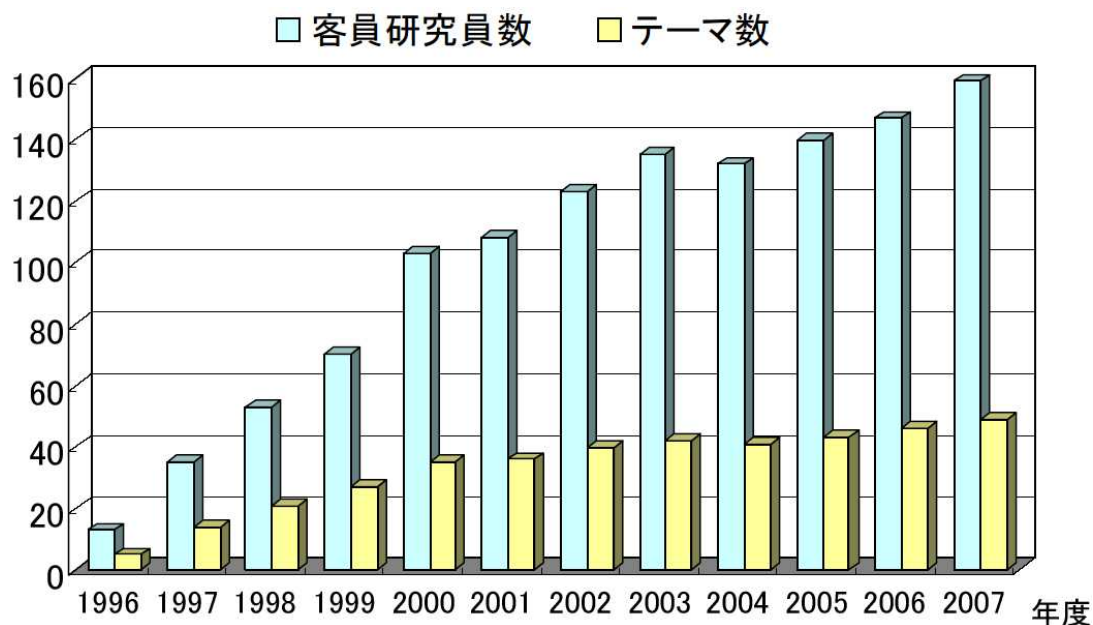


## 4. 成果

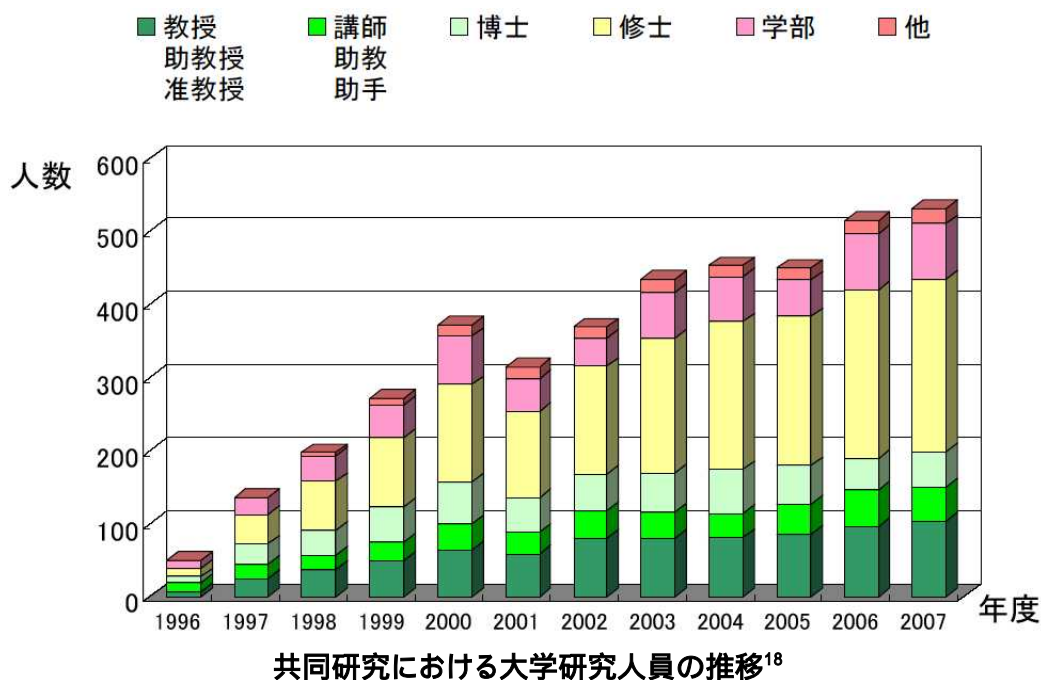
### 4.1 大学との共同研究

大学との共同研究の推進は STARC が設立された本来の目的であり、歴史的にも既に 12 年が経過している。

大学との共同研究に関しては、共同研究に参加した客員研究員数とテーマ数は下の図に示すように年々増加している。

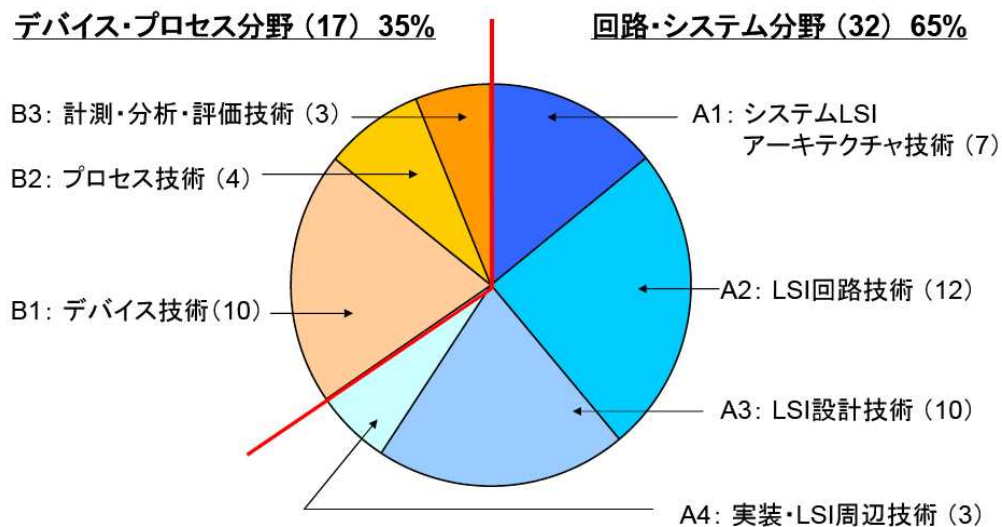


大学との共同研究規模(客員研究員数とテーマ数)の推移<sup>17</sup>



共同研究における大学研究人員の推移<sup>18</sup>

共同研究の2007年度における研究テーマの分野別分類を以下に示す。( )内の数字はテーマ数を表している。



2007年度研究テーマの分野別分類<sup>19</sup> ( )内の数字はテーマ数

これまでの大学との共同研究は大学からの提案に基づく一般応募型(大学からの提案応募型共同研究、大学のシーズを発掘・育成)の研究であったが、2006年度から始まった「あすかプロジェクト」ではネットワーク型(関連する分野の研究者の連携)、連携強化型(連携教授制度などを活用して産業界の研究者が大学研究に参画したり、インターンシップ制度の充実)、インキュベーション型(インキュベーション期間を設けて目標ターゲットを絞り込み産業界のニーズを的確に反映)を追加して研究テーマ数の拡大を図るとともにスキームの多様化を図っている。

#### 4.2 設計技術者教育

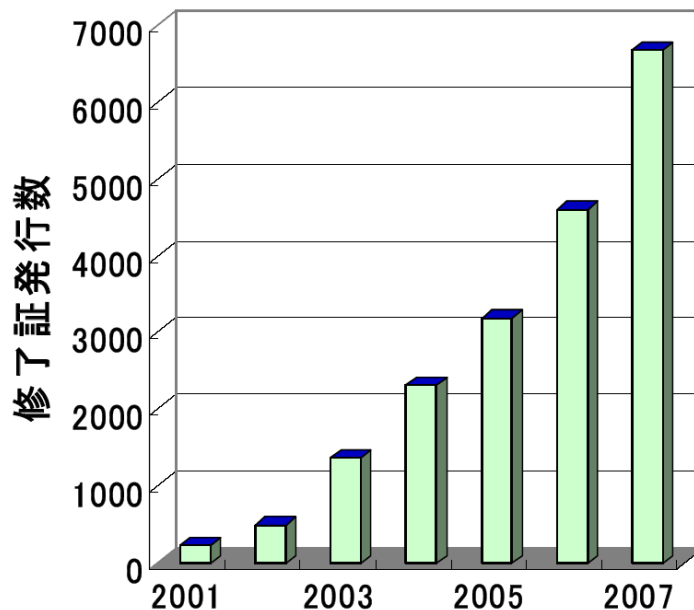
STARC はシステム LSI 設計技術者の育成と設計技術者の裾野の拡大を目指して大学/大学院向け、クライアント向け、一般企業向けの 3 層構造で対応しており、着々と成果を上げている。

大学/大学院におけるシステム LSI の設計技術者教育として、設計技術者講座を 2007 年度に 41 大学において開講し、2010 年には 70 大学での開講を目指している。

大学/大学院における設計技術者向け講座は「システム LSI 特論」の講義と実習とからなっており、テキストは STARC が独自に作成した「LSI 設計編」、「組込ソフトウェア設計編」、「システム設計編」、「アルゴリズム設計編」と「アナログ・RF 設計編」の 5 種類が準備されている。

大学/大学院での講義修了者に対して STARC は講義修了証を発行しており、2007 年度の

修了者数は2,073名で、累積した終了証の数も図のように順調に伸び続けており2007年度では6,667名に達している。



大学/大学院における設計技術者向け講義修了者の累計数<sup>20</sup>

クライアント企業の技術者向けには、先端技術に焦点を絞った「アドバンス教育」を実施しており、2002年から2007年までの6年間で27回開催され、ネット利用による遠隔講義受講を含む受講者総数は6,807名を数えている。

さらにクライアント企業向けに、「MOT<sup>21</sup> (Management of Technology) 講座」も2006年度からトライアルとして2回実施し、2007年12月から2008年3月にかけて本格開講を実施している。この「MOT講座」はシステムLSI時代に対応した全体最適戦略を構築し、利益成長を主導できる人材を育成することを目的としている。

#### 4.3 システムLSIの設計力強化

システムLSIの設計においては多くの機能を一つのLSI中にどんどん内蔵していく方向にあり、LSIに内蔵される回路規模も年々巨大化する状況にある。これに対する設計の生産性は、CADの性能向上と設計資産(IP)の効率的な再利用に期待されている。

STARCにおけるLSI設計力の強化策として、まず各社共通のデザイン・ルールを作成して設計の効率化を図ることであり、実績としてはASPLAとの共同によるライブラリ開発とそれらを使ったシステムLSI用テクノロジ・プラットフォームを開発する「ASPLAプロジェクト」を実施したことを挙げることができる。

次はLSIを設計するときRTL<sup>22</sup>設計時のハードウェア記述言語の設計スタイルを定義するこ

とに関して、論理回路設計ルールを一般化して業界標準として制定した「RTL 設計スタイルガイド」を作成して出版している。

セルを再利用し易くするために、セルの設計時に再利用性を備えた IP を開発するための検証ガイドとして「IP 機能検証ガイド」を作成。またシステム LSI のテスト環境構築を支援する「STIL(Standard Test Interface Language)活用ガイド」も作成している。

#### 4.4 「AS PLA(アスプラ・スター)プロジェクト」90nmシステム LSI 用テクノロジー・プラットフォーム

STARC が 2001 年 8 月に発表した標準デザイン・ルールを基にして、ASPLA と協力して 90nm ノード製造プロセスの標準化を行い、ライブラリ開発とそれらを使ったシステム LSI 用テクノロジー・プラットフォームを開発する「AS PLA(アスプラ・スター)プロジェクト」を立ち上げ、90nmシステム LSI 用テクノロジー・プラットフォームを開発し 2004 年 7 月に公開した。

ASPLA は 2003 年 10 月に 90nm ノードのシステム LSI 対応メタル 6 層銅配線の標準プロセス製造技術立ち上げを完了させ、メンバー企業向け試作シャトル・サービスを開始し、2003 年 12 月にはやはりメンバー企業向けに低消費電力プロセスによる試作シャトル・サービスを開始した。

メンバー企業向けの試作シャトル開始の発表から約 6 ヶ月後の 2004 年 5 月に、メンバー企業に限定せず一般企業向けの試作シャトル・サービスの開始を発表。この試作シャトル・サービスで LSI の動作検証が完了した試作チップを量産したい場合には、メンバー企業各社の工場(富士通三重工場、NEC エレクトロニクス鶴岡工場、ルネサステクノロジひたちなか工場、東芝大分工場)において 2005 年春以降から量産が可能となった。

我が国の大学共同利用の LSI 設計施設として 1996 年 5 月に東京大学に設立された大規模集積システム設計教育研究センター(略称 VDEC<sup>23</sup>、以下 VDEC と称する)があり、この VDEC で全国の大学で設計した LSI チップの試作を半導体製造メーカー等に依頼して行ってきた。しかし、これらの試作に使用される製造プロセス技術はどうしても最先端のものは利用できず、一番微細化されたデザイン・ルールでもバルク CMOS プロセスでは 0.18  $\mu\text{m}$  プロセスで、SOI 基板 CMOS では 0.15  $\mu\text{m}$  プロセスであった。このような状況にあって、ASPLA の 90nm デザイン・ルールの試作ラインが 2004 年 10 月から利用できるようになり、大学研究者にとっては非常に大きな助けとなった。

ASPLA の試作ラインを使った VDEC の試作シャトルでは、5mm  $\times$  5mm、2.5mm  $\times$  5mm、2.5mm  $\times$  2.5mm の 3 種類の違ったサイズの LSI チップが相乗りしており、非常に安価に試作ができる点が最大の特徴である。

ASPLA はこの 90nm システム LSI 用テクノロジー・プラットフォームの成果を活用して、2003 年

10月から試作シャトル・サービス<sup>24</sup>の運用を開始したが、2005年9月に会社を解散したことにより、それ以降のシャトル試作の運営窓口はSTARCが引き継いで運営している。

2003年10月の試作シャトル・サービス開始から2007年11月までに23試作シャトル便を実施し、2007年8月現在でのデザイン累計数は302チップでその内VDEC関連が70%、企業その他のユーザーが30%と報告されている<sup>25</sup>。

試作シャトル・サービスによってLSIを試作した結果が論文となって発表された件数をみると、2004年度では3件、2005年度には7件(内、大学からの発表数は2件)、2006年度には26件(内、大学からの発表数は21件)、2007年6月現在では19件(内、大学からの発表数は15件)と年々増加しており、試作シャトル・サービスの効果を見ることが出来る。

#### 4.5 メソドロジ・テスト環境

STARCが2003年7月に「あすかプロジェクト」の一部として次世代設計メソドロジ90nm世代のチップ設計のレファレンス・フロー<sup>26</sup>「STARCAD21」の開発に着手し、2004年4月に次世代設計メソドロジの第一弾として「STARCAD-21 V.1.0」を発表した。それ以降は半年毎にバージョンを上げたものを発表している。2006年3月にこの90nm世代のチップ設計のレファレンス・フロー設計メソドロジ「STARCAD21」の開発プロジェクトを完了した。

この「STARCAD21」プロジェクトを引き継ぎ、2006年度から5年間プロジェクトとして次世代の製造性を考慮した65nm世代と45nm世代のプロセスを目標に「STARCAD-CEL<sup>27</sup>」と名づけたチップ設計メソドロジの開発をスタートしている。この「STARCAD-CEL」プロジェクトは独立行政法人NEDO(新エネルギー・産業技術総合開発機構)の平成18年度新規課題設定型産業技術開発費助成事業「次世代プロセスフレンドリー設計技術開発」としての助成を受けている。

この「STARCAD-CEL」プロジェクトでは、2006年度と2007年度の2年間(「フェーズ1」)で65nm世代(対象LSIは1,200万ゲート規模で300MHzの動作周波数を想定している)を対象にした基本設計メソドロジとバラつきなどを考慮した設計メソドロジなどが達成され、2008年度から2010年度までの3年間で「フェーズ2」と位置づけて主に45nm世代(対象LSIは2,200万ゲート規模で700MHzの動作周波数を想定している)を対象に開発を行い、「フェーズ2」の終盤では2011年度以降を意識した32nm世代(対象LSIは4,400万ゲート規模で1GHzの動作周波数を想定している)の設計を考慮するという。

#### 4.6 標準化の推進

STARCと広島大学(三浦道子大学院教授がセンター長を兼務するHiSIM研究センター)との共同研究で横方向拡散MOS(LDMOS: Laterally Diffused MOS)向けのMOSFETモデル

「HiSIM(Hiroshima-university STARC IGFET Model) LDMOS」を開発した。この回路シミュレーション・モデルが国際標準化機関 CMC(Compact Model Council)によって、世界の標準規格の候補に選出された。最終評価を経て 2008 年半ばに正式な CMC 国際標準モデルとして認定される運びである。この共同研究には NEDO が広島大学 HiSIM 研究センターの設立と運営などに 1 億円の援助を行った。

#### 4.6 「あすか プロジェクト」

「あすかプロジェクト」が 2006 年 3 月で終了したのを受けて 2006 年 4 月からの 5 ヶ年計画として「あすか プロジェクト」がスタートしている。

### 5. おわりに

本報告書では STARC の設立に至る経緯から設立を経て「あすかプロジェクト」や ASPLA との共同による 90nm システム LSI 用テクノロジ・プラットフォーム構築の「AS PLA(アスプラ・スター)プロジェクト」について述べてきた。2008 年春現在では、2006 年 4 月にスタートした「あすかプロジェクト」の先端設計研究開発と産学連携人材育成を分担して活動中である。

STARC が本格的に活動を開始した 1996 年から既に 12 年が経過した。その間、成果の項でも述べたように着実にその成果を上げていると評価することができる。

---

#### 参考文献

- 1 STARC : Semiconductor Technology Academic Research Center
- 2 SoC (System on a chip): マイクロプロセッサやメモリなど別々の LSI チップを使って構成していたシステムを 1 チップ上に必要な機能を集積した LSI でシステム LSI ともいう。
- 3 <https://www.realize-at.jp/items/bt/122-123/2/index.html>
- 4 SEMATECH (Semiconductor Manufacturing Technology) : 1980 年代後半に日米半導体摩擦が激化する中、米国が半導体産業の強化を目的に米国半導体業界と米国政府が出資して 1987 年に設立したコンソーシアム。その後、米国の半導体シェアが復活したことを受けて米国の政府支援が 1996 年に打ち切られ、外国企業も参加できるようになり海外企業も参加できる子会社 International SEMATECH が設立された。2000 年には本社の名称を International SEMATECH と改称したが、2004 年には再び SEMATECH に戻した。
- 5 SRC (Semiconductor Research Corporation) : 大学における半導体の研究開発、半導体産業界での技術者養成を目的として 1982 年に企業 11 社が出資して発足。
- 6 上田潤氏 (半導体産業研究所) 報告書「半導体共同活動の現状」を参考に著者作成
- 7 [http://www.starc.jp/download/sympo2005/05\\_shimohigashi.pdf](http://www.starc.jp/download/sympo2005/05_shimohigashi.pdf)
- 8 <http://www.starc.jp/about/prospectus-j.html>
- 9 あすかプロジェクト: 2000 年 3 月に半導体産業研究所 (SIRIJ) の半導体新世紀委員会 (SNCC) が「日本半導体産業の復活」の提案を行い、この提言を受けて (社) 日本電子機械工業会 (EIAJ) が 2000 年 9 月に半導体先端技術共同開発計画を策定した。この共同開発計画に従って 2001 年 4 月から 5 年間の「あすかプロジェクト」がスタートした。
- 10 設計メソッドロジ: EDA ツール、ライブラリ、解析ツールなどを最適に統合化し、LSI 化に適し

---

たマスク作成のための設計手順。試作前に CAD 環境上で設計や製造で予想される問題点を事前に確認・保証する設計環境。

<sup>11</sup> [http://www.starc.jp/download/sympo2006/03\\_shimohigashi.pdf](http://www.starc.jp/download/sympo2006/03_shimohigashi.pdf) (「STARC シンポジウム 2006」、2006 年 9 月 7 日、新横浜国際ホテル)

<sup>12</sup> **システム LSI 用テクノロジ・プラットフォーム**: STARC と ASPLA が提唱しているシステム LSI 開発のための標準となる製造技術と設計技術の共通基盤技術。

<sup>13</sup> **試作シャトル・サービス**: 異なった複数の LSI チップを一つのマスク上に搭載し、このマスクを使って同一ウエハ上に同時に試作する相乗り方式のサービスで、開発費が軽減できる試作スキーム。

<sup>14</sup> <http://semicon.jeita.or.jp/docs/060329.pdf>

<sup>15</sup> <http://semicon.jeita.or.jp/docs/060329.pdf>

<sup>16</sup> [http://www.starc.jp/download/sympo2007/05\\_shimohigashi.pdf](http://www.starc.jp/download/sympo2007/05_shimohigashi.pdf)

<sup>17</sup> [http://www.starc.jp/download/sympo2007/05\\_shimohigashi.pdf](http://www.starc.jp/download/sympo2007/05_shimohigashi.pdf)

<sup>18</sup> [http://www.starc.jp/download/sympo2007/05\\_shimohigashi.pdf](http://www.starc.jp/download/sympo2007/05_shimohigashi.pdf)

<sup>19</sup> [http://www.starc.jp/download/sympo2007/05\\_shimohigashi.pdf](http://www.starc.jp/download/sympo2007/05_shimohigashi.pdf)

<sup>20</sup> [http://www.starc.jp/download/forsym2008/06\\_shimohigashi.pdf](http://www.starc.jp/download/forsym2008/06_shimohigashi.pdf)

<sup>21</sup> **MOT** (Management of Technology): 技術経営

<sup>22</sup> **RTL** (Register Transfer Level): フリップフロップと組合せ論理回路との組合せで構成されるデジタル回路を表記する論理記述構造のことで、現在のハードウェア記述言語を使った回路設計では主にこの RTL レベルの記述が使用される。

<sup>23</sup> **VDEC** (VLSI Design and Education Center: 東京大学大規模集積システム設計教育研究センター、浅田邦博センター長): 全大学共同利用の LSI 開発施設として 1996 年 5 月に東京大学に設立された。利用形態はチップの試作、CAD 利用、その他の装置利用などがある。

<sup>24</sup> **試作シャトル・サービス**: 異なった複数の LSI チップを一つのマスク上に搭載し、このマスクを使って同一ウエハ上に同時に試作する相乗り方式のサービスで、開発費が軽減できる試作スキーム。

<sup>25</sup> [http://www.starc.jp/download/sympo2007/05\\_shimohigashi.pdf](http://www.starc.jp/download/sympo2007/05_shimohigashi.pdf)

<sup>26</sup> **レファレンス・フロー**: チップの設計手順や EDA (Electronic Design Automation) ツールの適用方法を定義したもので、設計の効率化や設計品質の確保に欠かせない基盤技術。

<sup>27</sup> **STARCAD-CEL**: STARC Aid your Design with Certified Engineering Linkage